

PATENT ABSTRACTS OF JAPAN

D-1485

(11)Publication number : 2002-078326

(43)Date of publication of application : 15.03.2002

(51)Int.Cl. H02M 3/155

(21)Application number : 2000-258794

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.08.2000

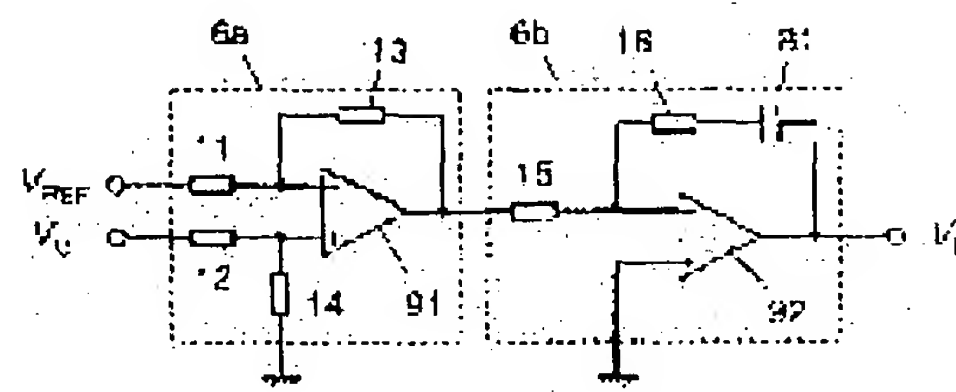
(72)Inventor : KATAYAMA YASUSHI

(54) PWM CONTROL CIRCUIT FOR DC-DC CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an error amplifier circuit, which makes the output voltage of a DC-DC converter agree with the target value and can avoid excessively large voltage in the output of the DC-DC converter, even if a reference voltage which is given as the target value varies in step form.

SOLUTION: A differential amplifier circuit 6a and a PI adjustment circuit 6b, whose operating points are fixed (ground potential) are connected to each other in cascade connection for constituting an error amplifier circuit. With such a constitution, even if a reference voltage V_{REF} is varied in a step form, the operation points of the circuits 6a and 6b will not vary from the ground potential to achieve the purpose.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開2002-78326

(P2002-78326A)

(43)公開日 平成14年3月15日(2002.3.15)

(51) Int.Cl.⁷

識別記号

FI

テマコト(参考)

H O 2 M 3/155

H0 2M 3/155

P 5H730

審査請求 未請求 請求項の数5 OL (全 6 頁)

(21)出願番号 特願2000-258794(P2000-258794)

(22) 出願日 平成12年8月29日(2000.8.29)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 堯明者 片山 靖

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(74) 代理人 100075166

弁理士 山口 巖 (外2名)

Fターム(参考) 5H730 AS01 BB13 BB14 BB15 BB57

DD04 EE59 FD01 FF02 FG05

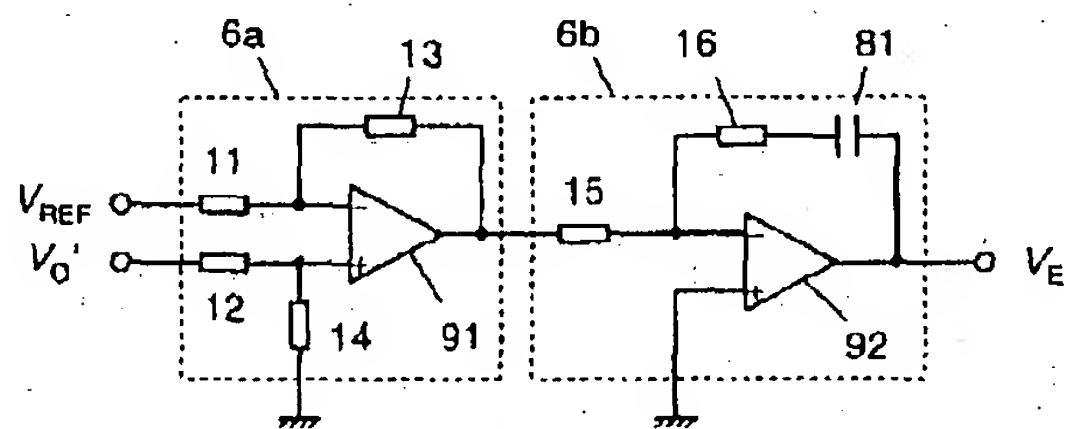
FG25 XC14

(54) 【発明の名称】 DC-DCコンバータ用PWM制御回路

(57) 【要約】

【課題】 DC-DCコンバータの出力電圧をその目標値に一致させるための誤差増幅回路において、目標値として与える基準電圧がステップ状に変化しても、DC-DCコンバータ出力に過大な行き過ぎが生じないようにする。

【解決手段】 誤差増幅回路を、動作点が固定（グラウンド電位）の作動増幅回路 6 a と P I 調節回路 6 b とのカスケード接続したものとすることにより、基準電圧 V_{REF} をステップ状に変化させても回路 6 a、6 b の動作点をグラウンド電位のまま変化しないようにし、掲記課題を達成する。



【特許請求の範囲】

【請求項 1】 半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換する DC-DC (直流-直流) コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記 DC-DC コンバータを駆動する PWM 信号を発生する PWM 制御回路とを備えてなる DC-DC コンバータ用 PWM 制御回路において、

前記誤差増幅回路を動作点が固定の第 1 のアナログ増幅回路と、動作点が固定の第 2 のアナログ増幅回路とのカスケード接続により構成し、かつ、前記第 1 のアナログ増幅回路を差動増幅回路とすることを特徴とする DC-DC コンバータ用 PWM 制御回路。

【請求項 2】 前記第 2 のアナログ増幅回路を P I 調節回路とすることを特徴とする請求項 1 に記載の DC-DC コンバータ用 PWM 制御回路。

【請求項 3】 半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換する DC-DC (直流-直流) コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記 DC-DC コンバータを駆動する PWM 信号を発生する PWM 制御回路とを備えてなる DC-DC コンバータ用 PWM 制御回路において、
前記誤差増幅回路を差動増幅回路と P I 調節回路の合成回路とし、その動作点を固定にしたことを特徴とする DC-DC コンバータ用 PWM 制御回路。

【請求項 4】 前記 PWM 制御回路の駆動電源を負極側端子をグランド電位に接続した単一の正電源とし、前記比較回路または前記 DC-DC コンバータを、この DC-DC コンバータの出力電圧が前記誤差増幅回路の出力電圧と前記キャリア信号の振幅下限電位に等しいときに最小となるように構成し、前記誤差増幅回路の動作点を前記キャリア信号の振幅下限電位とグランド電位の間の電位に設定することを特徴とする請求項 1 ないし 3 のいずれかに記載の DC-DC コンバータ用 PWM 制御回路。

【請求項 5】 前記誤差増幅回路のゲインを決定する受

$$V_2 - V_{bias} = K \times (V_1 - V_{bias})$$

ここに、 V_1 、 V_2 はそれぞれアナログ増幅回路の入力電圧、出力電圧を、また、 V_{bias} はアナログ増幅回路の動作点となる電圧、 K はアナログ増幅回路のゲインを示す。ところで、図 11 で示す従来の誤差増幅回路 6 の動作点は基準電圧 V_{REF} 、すなわち $V_{bias} = V_{REF}$ となる。このため、 V_{REF} を変化させたときの過渡応答に問題が生じる。この点について、図 12 を参照して説明する。

動素子に単数または複数のコンデンサを接続したときは、このコンデンサと並列にスイッチを接続し、前記 DC-DC コンバータおよび前記 PWM 制御回路の停止時に前記スイッチをオンすることを特徴とする請求項 4 に記載の DC-DC コンバータ用 PWM 制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換する DC-DC (直流-直流) コンバータ、特にその出力電圧を目標値に一致させるために用いられる、アナログ回路構成の PWM (パルス幅変調) 制御回路に関する。

【0002】

【従来の技術】図 7 にこの種の DC-DC コンバータ用 PWM 制御回路の従来例を示す。同図の参照符号 1 が DC-DC コンバータで、半導体スイッチのオン、オフにより直流電源 2 の電圧を別の直流電圧に変換し、負荷 3 に供給する。また、符号 4 が DC-DC コンバータの出力電圧 2 の目標値に制御する PWM 回路で、検出回路 5、誤差増幅回路 6 および比較回路 7 等から構成されている。検出回路 5 は DC-DC コンバータ 1 の出力電圧 V_{OUT} を検出し伝達する回路で、例えば減衰器、整流器、バッファ、絶縁アンプ等から構成されている。誤差増幅回路 6 は、検出回路 5 の出力電圧 V_O と基準電圧 V_{REF} との誤差を増幅して出力する。比較回路 7 は、誤差増幅回路 6 の出力電圧 V_E と三角波または鋸歯のキャリア信号 V_{OSC} とを比較し、PWM 信号を出力する。

【0003】このように、PWM 制御回路は DC-DC コンバータの出力電圧をフィードバックし、目標値との誤差に応じて半導体スイッチのオン、オフ比率 (時比率) を制御する機能を有している。なお、DC-DC コンバータの具体例としては、例えば図 8 のような降圧チョップ回路、図 9 のような昇圧チョップ回路、図 10 のような反転チョップ回路がある。また、検出回路 5 と誤差増幅回路 6 の具体例を図 11 に示す。

【0004】

【発明が解決しようとする課題】一般に、アナログ増幅回路の入力電圧と出力電圧との関係は、次の (1) 式のように示される。

$$\dots (1)$$

【0005】図 12 は、図 7 における DC-DC コンバータ 1 を図 8 のような降圧チョップ回路とし、検出回路 5 と誤差増幅回路 6 を図 11 の如く構成した例で、 V_{REF} を図 12 (b) のようにステップ状に変化させたときの、DC-DC コンバータの出力電圧波形例を図 12 (a) に示す。つまり、定常状態では、誤差増幅回路 6 の出力電圧 V_E は、目標値に相当する時比率の PWM 信号を発生するために、キャリア信号 V_{OSC} の振幅内の或

る直流値になっている。ここで、 V_{REF} をステップ状に変化させると、誤差増幅回路6の動作点 V_{bias} も同時にステップ状に変化する。このため、上記(1)式で示すように V_{REF} の変位分だけ V_E の値もステップ状に変化し、その値を初期値として次の目標値への制御が行なわれる。このため、誤差増幅回路6のゲインによらず、図12(a)に示すような過大な行き過ぎ量が発生することになる。したがって、この発明の課題は、PWM制御回路を用いたDC-DCコンバータ出力電圧の行き過ぎ量を含めて過渡応答を改善することにある。

【0006】

【課題を解決するための手段】このような課題を解決するため、請求項1の発明では、半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換するDC-DC（直流-直流）コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記DC-DCコンバータを駆動するPWM信号を発生するPWM制御回路とを備えてなるDC-DCコンバータ用PWM制御回路において、前記誤差増幅回路を動作点が固定の第1のアナログ増幅回路と、動作点が固定の第2のアナログ増幅回路とのカスケード接続により構成し、かつ、前記第1のアナログ増幅回路を差動増幅回路とすることを特徴とする。上記請求項1の発明においては、前記第2のアナログ増幅回路をPI調節回路とすることができる（請求項2の発明）。

【0007】請求項3の発明では、半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換するDC-DC（直流-直流）コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増

$$V_2 - V_{bias} = K' \times (V_1' - V_1'' - V_{bias}) \quad \dots (2)$$

ここで、 V_1' 、 V_1'' はアナログ差動増幅回路の各入力電圧、 K' はアナログ差動増幅回路のゲインを表わす。なお、アナログPI調節回路の入力電圧と出力電圧との関係は(1)式と同様である。また、図1におけるアナログ差動増幅回路6aとアナログPI調節回路6bの動作点は、いずれもグランド電位となっている。

【0010】図1では、演算増幅器で構成したアナログ差動増幅回路6aとアナログPI調節回路6bのカスケード接続としたが、上記(2)式で表わされるアナログ差動増幅回路および(1)式で示されるアナログ増幅回路のカスケード接続で、それぞれの動作点が V_{REF} によらず常に一定（固定）であるならば、他の回路構成でも実現可能であり、図1の回路に限定されるものではない。したがって、例えばアナログPI調節回路6bの抵抗15と並列にコンデンサを接続することでPID調節回路としたり、あるいはコンデンサ81を省略してPI調節回路とすることも可能である。

【0011】図13に、図7のDC-DCコンバータ1

幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記DC-DCコンバータを駆動するPWM信号を発生するPWM制御回路とを備えてなるDC-DCコンバータ用PWM制御回路において、前記誤差増幅回路を差動増幅回路とPI調節回路の合成回路とし、その動作点を固定にしたことを特徴とする。

【0008】上記請求項1～3の発明においては、前記PWM制御回路の駆動電源を負極側端子をグランド電位に接続した単一の正電源とし、前記比較回路または前記DC-DCコンバータを、このDC-DCコンバータの出力電圧が前記誤差増幅回路の出力電圧と前記キャリア信号の振幅下限電位に等しいときに最小となるように構成し、前記誤差増幅回路の動作点を前記キャリア信号の振幅下限電位とグランド電位の間の電位に設定することができる（請求項4の発明）。この請求項4の発明においては、前記誤差増幅回路のゲインを決定する受動素子に単数または複数のコンデンサを接続したときは、このコンデンサと並列にスイッチを接続し、前記DC-DCコンバータおよび前記PWM制御回路の停止時に前記スイッチをオンすることができる（請求項5の発明）。

【0009】

【発明の実施の形態】図1はこの発明の第1の実施の形態を示す回路図である。これは、図7に示す誤差増幅回路6を、演算増幅器91と抵抗11～14で構成したアナログ差動増幅回路6aと、演算増幅器92と抵抗15、16およびコンデンサ81で構成したアナログPI調節回路6bとをカスケード接続したものとしている。一般に、アナログ差動増幅回路の入力電圧と出力電圧との関係は、次の(2)式で示される。

を図8のような降圧チョップ回路、誤差増幅回路6を図1の如く構成し、 V_{REF} をステップ状に変化させたときのDC-DCコンバータの出力電圧波形例を示す。すなわち、定常状態では誤差増幅回路6の出力電圧 V_E は、目標値に相当する時比率のPWM信号を発生するために、キャリア信号 V_{osc} の振幅内の或る直流値となっている（図13(b)参照）。そして、 V_{REF} をステップ状に変化させても、アナログ差動増幅回路6aおよびアナログPI調節回路6bの動作点はグランド電位のまま変化しない。このため、 V_E は図12の従来例の場合のようにステップ状に変化せず、その結果、DC-DCコンバータの出力電圧 V_{out} は、差動増幅回路およびPI調節回路のゲインによって一意に決まる過渡応答をしながら、図13(a)の如く目標値に収束することになる。

【0012】図2はこの発明の第2の実施の形態を示す回路図である。これは、図7に示す誤差増幅回路6を、演算増幅器93および抵抗21～24ならびにコンデン

サ 82, 83 から構成し、図 1 と等価な伝達関数を単一の演算増幅器で実現したものである。その動作点もグラウンド電位となっていることから、この回路の動作は図 1 の場合と同じとなる。図 2 では、図 1 に示すアナログ差動増幅回路 6 a とアナログ P I 調節回路 6 b のカスケード接続と等価な合成回路としたが、上記 (2) 式で表わされるアナログ差動増幅回路および (1) 式で表わされるアナログ増幅回路のカスケード接続と等価な合成回路で、動作点が V_{REF} によらず常に一定であるならば、他の回路構成でも実現可能であり、図 2 の回路に限定されるものでないのは図 1 の場合と同様である。

【0013】図 3 は図 1 の変形例を示す回路図で、図 1 のグラウンド電位に接続している個所に、直流電源 71 を付加して構成される。この場合の動作点は、直流電源 71 の電圧 V_M である。すなわち、図 3 に示す演算増幅器 91, 92 の駆動電源は単一の正電源であり、図 7 に示す比較回路 7 または DC-DC コンバータ 1 は、DC-DC コンバータ 1 の出力電圧が誤差増幅回路 6 の出力電圧 V_E とキャリア信号 V_{OSC} の振幅下限電位に等しいとき、最小となるように構成し、直流電源 71 の出力電圧 V_M はキャリア信号 V_{OSC} の振幅下限電位とグラウンド電位との間の値に設定する。つまり、この例では先の

(1) 式において、 $V_2 - V_{bias} = 0$ 、すなわち $V_2 = V_{bias} = V_M$ の場合においても、DC-DC コンバータ 1 の出力電圧 out は零になる。このため、例えば PWM 制御回路 4 の起動時に、演算増幅器 91, 92 と直流電源 71 の起動時刻 (タイミング) が異なり、直流電源 71 が先に立ち上がった場合にも DC-DC コンバータ 1 の出力電圧 out を零のまま保持でき、不要な出力電圧が発生するのを防ぐことができる。

【0014】図 4 は図 2 の変形例を示す回路図で、図 2 のグラウンド電位に接続している個所に直流電源 72 を付加して構成される。この場合の動作点は、直流電源 72 の電圧 V_M である。すなわち、図 4 に示す演算増幅器 93 の駆動電源は単一の正電源であり、図 7 に示す比較回路 7 または DC-DC コンバータ 1 は、DC-DC コンバータ 1 の出力電圧が誤差増幅回路 6 の出力電圧 V_E とキャリア信号 V_{OSC} の振幅下限電位に等しいときに最小となるように構成し、直流電源 72 の出力電圧 V_M はキャリア信号 V_{OSC} の振幅下限電位とグラウンド電位との間の値に設定する。

【0015】図 5 は図 3 の変形例を示す回路図で、図 3 のコンデンサ 81 と並列にスイッチ 61 を付加して構成される。その動作について、図 14 も参照して説明する。なお、演算増幅器 92 の駆動電源および直流電源 71 は既に起動しており、演算増幅器 92 の出力電圧 V_E は停止時に 0 とする。また、演算増幅器 92 の停止時はスイッチ 61 をオンとし、コンデンサ 81 の両端を短絡しておくものとする。ここで、演算増幅器 92 を起動すると、 V_E は演算増幅器 92 の起動と同時に動作点であ

る V_M まで上昇する。演算増幅器 92 の起動後にスイッチ 61 を開放すると、 V_M を初期値として制御を開始する。このとき、スイッチ 61 がないと、図 14 に細線で示すようにコンデンサ 81 を充電しながら V_E が緩やかに上昇するため、PWM 制御を開始するキャリア信号 V_{OSC} の下限電圧に V_E が到達するのに大きな遅延が生じることになる。

【0016】そこで、誤差増幅回路のゲインを決定する受動素子にコンデンサを用いた場合は、誤差増幅回路の停止時にコンデンサの電荷を放電しておくことで、起動時の誤差増幅回路の出力電圧 V_E の立ち上がり時間を速くし、DC-DC コンバータの起動時間を短縮するようにしている。図 6 は図 4 の変形例を示す回路図で、図 4 のコンデンサ 82, 83 と並列にスイッチ 62, 63 をそれぞれ付加して構成される。その動作については図 14 と同様なので、説明は省略する。

【0017】

【発明の効果】請求項 1, 2, 3 の発明によれば、従来のように基準電圧を変化させて DC-DC コンバータの出力電圧を制御する場合に発生していた過大な行き過ぎを抑制することができる。請求項 4 の発明によれば、PWM 制御回路の起動時における DC-DC コンバータの不要な出力電圧の発生を防ぐことが可能となる。請求項 5 の発明によれば、請求項 4 の発明における起動時間の遅延を短縮することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施の形態を示す回路図である。

【図 2】この発明の第 2 の実施の形態を示す回路図である。

【図 3】この発明の第 3 の実施の形態を示す回路図である。

【図 4】この発明の第 4 の実施の形態を示す回路図である。

【図 5】この発明の第 5 の実施の形態を示す回路図である。

【図 6】この発明の第 6 の実施の形態を示す回路図である。

【図 7】DC-DC コンバータ用 PWM 制御回路の従来例を示すブロック図である。

【図 8】DC-DC コンバータの第 1 の具体例を示す回路図である。

【図 9】DC-DC コンバータの第 2 の具体例を示す回路図である。

【図 10】DC-DC コンバータの第 3 の具体例を示す回路図である。

【図 11】検出回路と誤差増幅回路の具体例を示す回路図である。

【図 12】図 11 の動作説明図である。

【図 13】図 1 の動作説明図である。

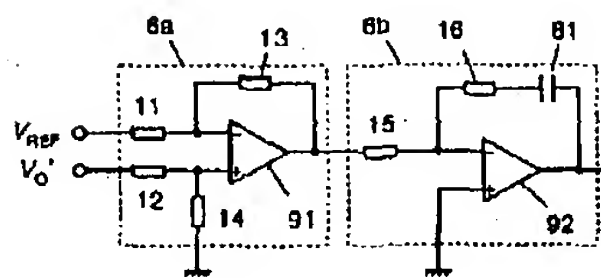
【図14】図5の動作説明図である。

【符号の説明】

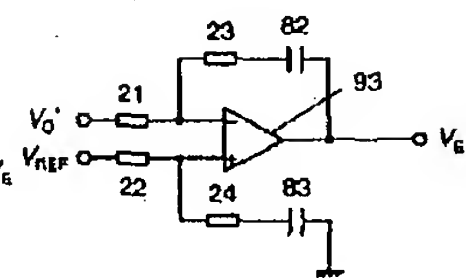
1…DC-DCコンバータ、2, 71, 72…直流電源、3…負荷、4…PWM制御回路、5…検出回路、6

…差動増幅回路、7…比較回路、8…基準電圧源、9…発振回路、11~16, 21~24, 31~33…抵抗、61, 62, 63…スイッチ、81, 82, 83…コンデンサ、91~93…演算増幅器。

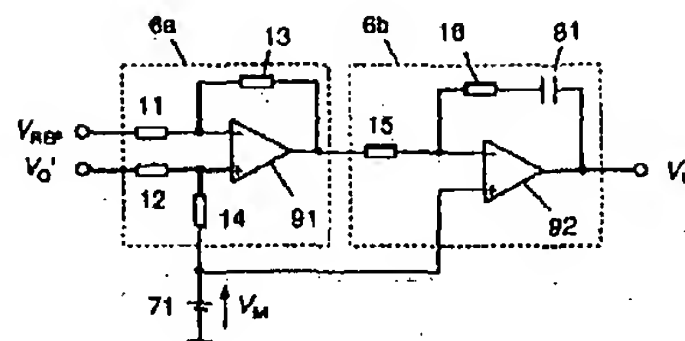
【図1】



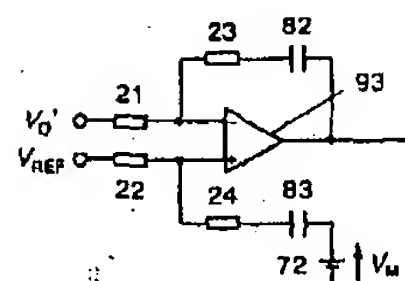
【図2】



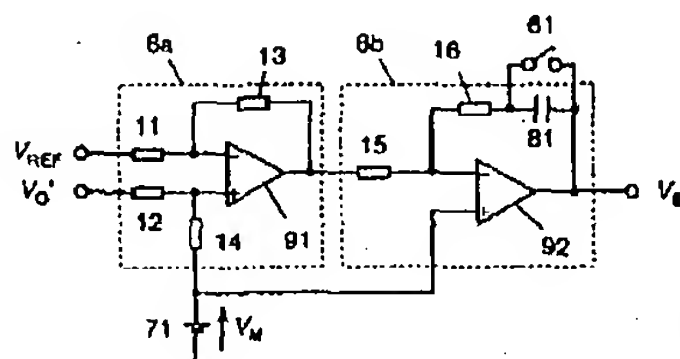
【図3】



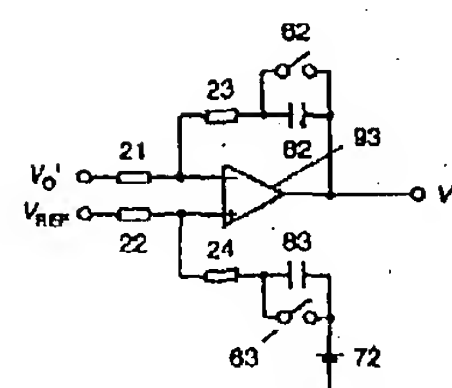
【図4】



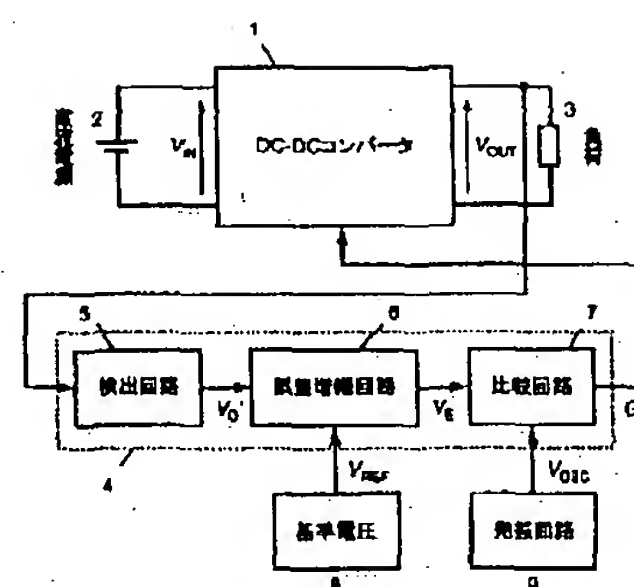
【図5】



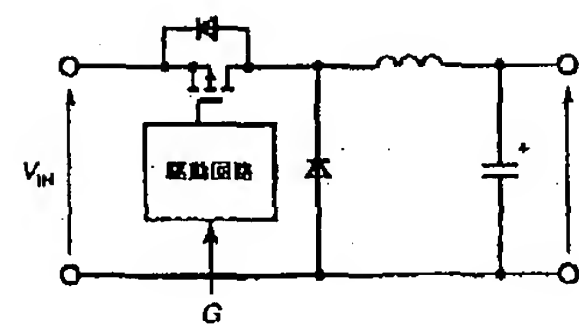
【図6】



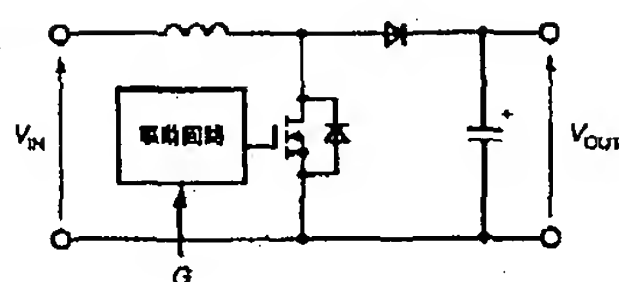
【図7】



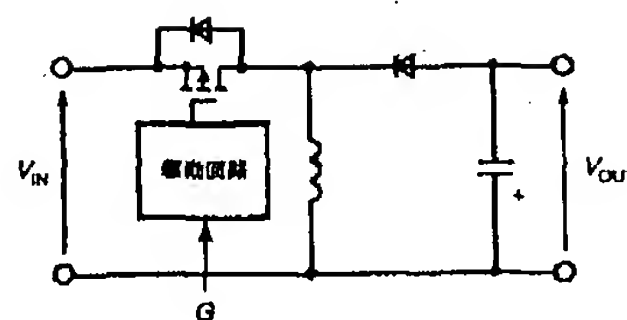
【図8】



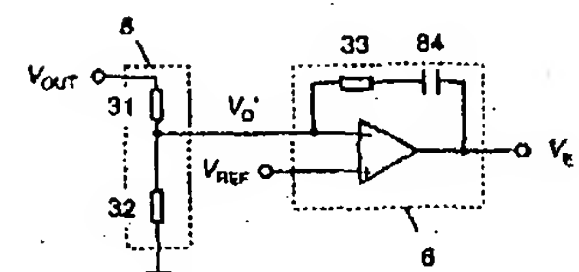
【図9】



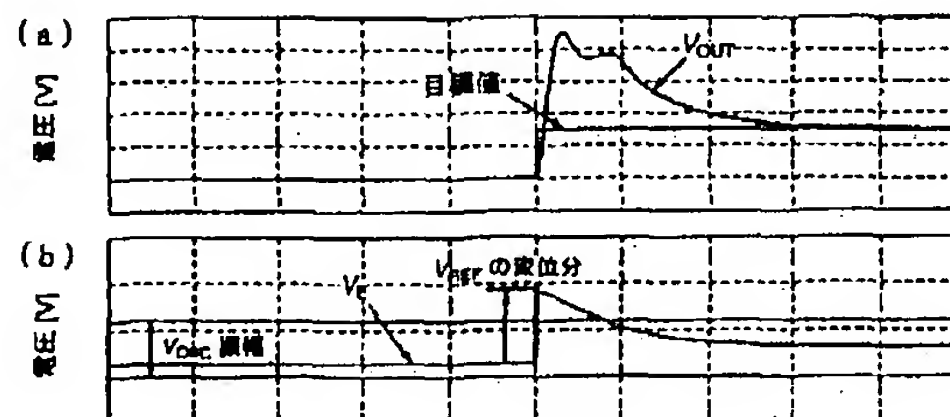
【図10】



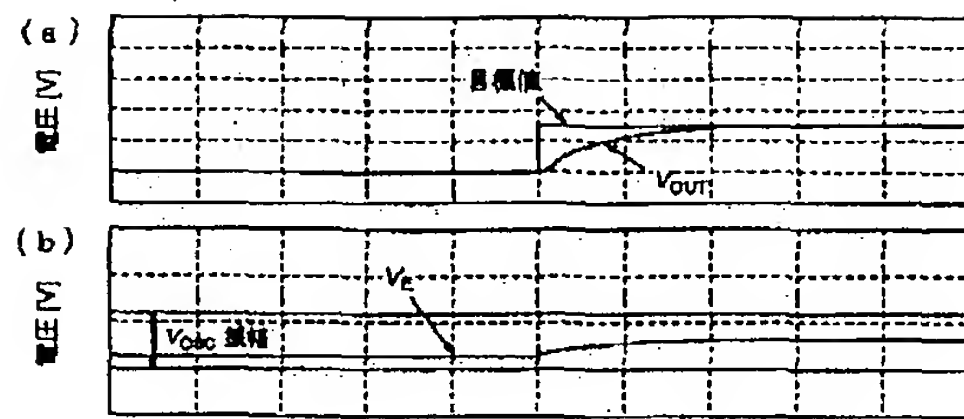
【図11】



【図12】



【図13】



【図14】

